

基于 TDICE 单元的 SRAM 抗 SEU 加固设计

孙 敬^{1,2}, 陈振娇², 陶建中^{1,2}, 薛海卫², 徐新宇²

(1 江南大学 物联网学院工程学院, 江苏 无锡 214062; 2 中国电子科技集团公司 第 58 研究所, 江苏 无锡 214035)

摘 要: 双立互锁存储单元(DICE), 在保持状态下是一种可靠有效的单粒子翻转(SEU)加固方法, 但是, 基于 DICE 单元的 SRAM 在读操作下会发生抗 SEU 失效. 相比抗单个敏感节点翻转的效果, DICE 抗多个敏感节点翻转的能力较弱. 为此, 在 DICE 结构的基础上采用读写分离机制, 以解决 DICE 单元在读写过程中的节点翻转问题. 同时, 根据电阻加固原理, 在 DICE 存储单元的节点之间增加 NMOS 管, 即 TDICE (Transistor DICE) 结构, 其利用晶体管隔离反馈回路中的节点间的连接, 提高了 SRAM 的抗多节点翻转能力. Spectre 仿真结果表明: 基于 TDICE 单元的 SRAM 具有较强的抗单粒子翻转能力.

关键词: SRAM; 单粒子翻转; DICE; 读写分离; TDICE

中图分类号: TN403

文献标识码: A

文章编号: 1000-7180(2016)07-0039-05

Hardened SRAM Design Based on TDICE Cell

SUN Jing^{1,2}, CHEN Zhen-jiao², TAO Jian-zhong^{1,2}, XUE Hai-wei², XU Xin-yu²

(1 School of Internet of Things, Jiangnan University, Wuxi 214062, China;

2 The 58th Research Institute, China Electronic Technology Group Corp, Wuxi 214035, China)

Abstract: Dual Interlocked Storage Cell (DICE) is a reliable and effective method for Single Event Upset (SEU) reinforcement in maintaining state. However, SEU still occur in DICE cell-based SRAM, due to the weakness of DICE cell during reading and writing. Compared with the single node, the effect of DICE resistance multiple-node upset is weak. A separated-read-write structure is proposed to handle the DICE cell's upset during reading and writing. And according to the resistance reinforcement principle, Transistor DICE (TDICE) is used that adding NMOS between the events of DICE. TDICE increases the effect of DICE resistance multiple-node upset through the connection between events in a transistor isolation feedback loop. The simulation results show that, TDICE shows a nearly complete tolerance SET with multiple-node upset. Spectre simulation results show that the SRAM based on the TDICE unit has a strong ability to resist a single event upset.

Key words: SRAM; single event upset; DICE ; separated-read-write structure; TDICE

1 引言

在空间辐射环境中, 高能粒子在穿过电子器件的敏感区时, 引发存储电路的单粒子翻转, 造成器件逻辑状态的改变和器件的损坏^[1]. 为此, 提高电路抗单粒子翻转的能力至关重要.

对单粒子翻转的加固方法很多, 如工艺加固、系统级加固和电路级加固等使电路获得较好的抗 SEU 能力. 工艺加固, 即采用特殊的工艺来抑制单

粒子翻转, 如 SOI 技术和外延工艺等^[2]. 系统级加固技术, 通过逻辑判决对已经发生错误的信息进行纠错和检错^[3], 如 EDAC 纠错编码技术. 电路级加固则采用增加冗余的方法进行加固, 如 DICE 技术和三模冗余技术等. DICE 技术, 其基本思想是在存储单元中增加冗余的存储状态, 利用状态恢复反馈电路来恢复翻转的数据, 抗 SEU 能力较强^[4], 应用广泛.

然而, 随着电路工艺特征尺寸的降低, 数据可靠性的要求不断提高, DICE 结构在动态 SEU 加固方

面存在不足^[2]. DICE 单元,在保持状态下是一种有效的 SEU 加固方法,但在读写状态下会发生抗 SEU 失效.此外,与 DICE 抗单节点翻转的效果相比,其抗多节点翻转的能力较差,容易导致存储单元数据错误.针对上述问题,本文采用了分离读写线路的 TDICE 存储结构.

2 基于 TDICE 结构的存储单元设计

2.1 改进的 DICE 结构设计

DICE 存储单元结构如图 1 所示,其内部四个节点相互隔离、相互锁存.在此结构中任意一个节点发生翻转时,可以通过其他三个节点的正确状态将该节点的状态恢复^[4-6].但在读操作时,WL 为高电平, $N_4 \sim N_7$ 都处于打开状态,导致相互间隔的存储节点 $X_0 \sim X_2$, $X_1 \sim X_3$ 通过读写管连通.此时,若高能粒子轰击任一个节点,将会通过读写管引起相互间隔的节点翻转,从而导致四个节点都翻转,存储值被改变.DICE 单元提高了抗 SEU 的翻转阈值,对静态 SEU 具有加固能力,但对动态 SEU 加固存在不足^[5].

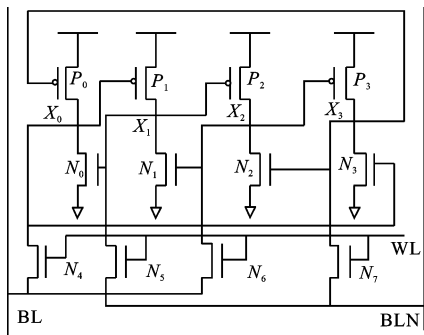


图 1 DICE 存储单元结构

如上所述,DICE 存储单元在读写过程中,发生翻转的根本原因是相互间隔的节点通过读写管和位线连在一起.为了使存储单元在读操作过程中保持抗 SEU 的性能,本文采用了改进的 DICE 结构——基于 DICE 单元读写线路分离的结构,如图 2 所示.

用来进行读操作, $N_4 \sim N_7$ 用来进行写操作. WL 是写字线用来进行写操作, RL 是读字线进行读操作,控制传输管开关. BL 与 BLN 分别为位线和反位线.在正确的读操作过程中,BL 维持在预充电值,BL 与 BLN 上产生电位差,经过灵敏放大器放大后输出,从而实现从存储单元中读出存储值.四个节点(X_0, X_1, X_2 和 X_3)保存着两对互补形式的数据(即:“1010”或“0101”),这些数据通过传输门进行读或写操作.存储节点 X_1, X_2 分别与 N_9, N_{10} 的栅

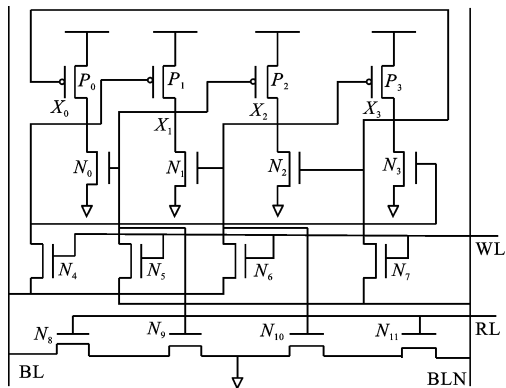


图 2 分离读写线路的 DICE 存储单元结构

极相连,因而读数据时与外界通路断开,避免了外界的干扰.这样防止存储数据在读操作期间存储值遭到破坏,提高电路的可靠性.

2.2 TDICE 存储单元设计

随着工艺特征尺寸的降低,SRAM 存储单元的节点电容和工作电压稳步下降^[6],使得存储节点间的距离急剧减小,因此粒子入射产生的电荷可能会扩散而影响相邻的节点,使存储单元对 SEU 敏感性增加,从而引起多节点的翻转^[7-8]. DICE 存储单元在针对单个节点翻转时,由于其单元的冗余锁存结构,发生翻转的节点能够沿反馈回路恢复原来的存储值;但在多个节点同时翻转时,破坏了其锁存结构,存储单元的节点无法恢复原来的值^[9].多节点翻转被认为是加固存储单元的主要问题.

为了使存储单元具有较强的抗多节点翻转的能力,本文根据电阻加固原理,在考虑时延的基础上,在 DICE 单元的节点之间增加 4 个 NMOS 管,设计了 TDICE 存储单元,其结构如图 3 所示.

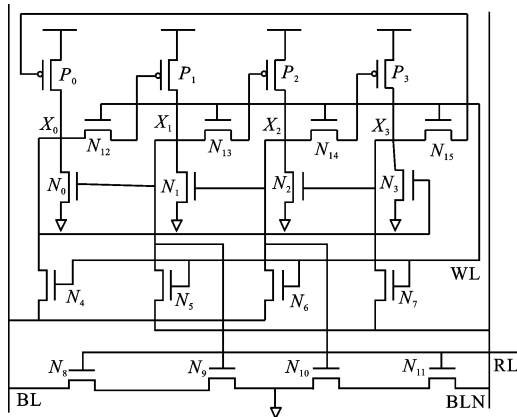


图 3 TDICE 存储单元结构

导致存储单元发生多节点翻转实质是存储节点间的电荷共享^[8].由此可在 DICE 单元 PMOS 管和

NMOS 管间的节点处增加一个电阻,使得共享电荷减小达到抗多节点翻转的目的,但在纳米尺寸级该做法会增加读写操作的延时时间. 根据 NMOS 管的特性——在打开时阻抗很小而关断时高阻抗^[9-10],将上述方法中的电阻改为 NMOS 管(即 TDICE 存储单元),可更好地解决该问题. NMOS 管的栅极接字线,在读写操作时晶体管导通,其阻抗很小因此延时较小;而在字线关闭时晶体管关断,因其阻抗较高可以抗多节点翻转.

3 单粒子效应仿真

本文采用 Cadence 的 Spectre 仿真软件对设计的 TDICE 单元进行单粒子效应仿真. 在仿真中通过在敏感节点注入瞬间电流脉冲来模拟辐射空间中粒子的轰击,注入脉冲为双指数电流模型^[8],表达式如式(1)所示:

$$I(t) = I_0 \left(\exp\left(-\frac{t}{\tau\alpha}\right) - \exp\left(-\frac{t}{\tau\beta}\right) \right) \quad (1)$$

式中, $\tau\alpha$ 为电荷收集的时间常数, $\tau\beta$ 为建立粒子轨迹的时间常数. 参数 I_0 取决于注入的电荷的量. 从上式可以计算出相关的关键电荷如式(2)所示:

$$Q(t) = I_0 \int \left(\exp\left(-\frac{t}{\tau\alpha}\right) - \exp\left(-\frac{t}{\tau\beta}\right) \right) dt \quad (2)$$

如果敏感节点收集的电荷量达到这一临界值,工作电压达到翻转的阈值电压,存储节点的值将发生翻转^[9].

3.1 读操作仿真

当 DICE 存储单元处于保持状态时,无论受到正向电流脉冲还是反向电流脉冲时,都不会影响存储单元中各节点逻辑状态^[6]. 但是,在进行读操作时,存储单元却没有了抗单粒子翻转的特性. 正负电流脉冲的仿真模型如图 4 所示.

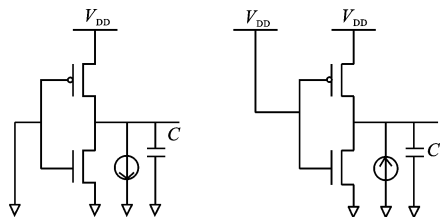


图 4 正负电流脉冲的仿真模型

DICE 单元的存储值设为“1”,即各节点的存储值为“1010”. 在读数据期间的 1 ns 时刻注入脉冲,受到轰击的节点发生翻转.

在读数据期间,正电流脉冲轰击节点 X_1 ,使其

充电到“1”,节点 X_0 产生一个反向的暂态. 当节点 X_0 为“0”时, N_3 和 P_3 都关断, N_7 的电流会驱动节点 X_3 到“1”, N_2 就打开,这就使得节点 X_2 电压为“0”,所有的节点电压都发生翻转,仿真波形如图 5 所示. 同理,负电流脉冲轰击 X_0 节点,所有节点均发生翻转,仿真波形如图 6 所示.

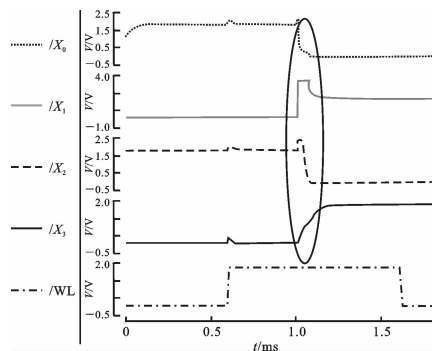


图 5 DICE 的 X_1 节点的仿真波形

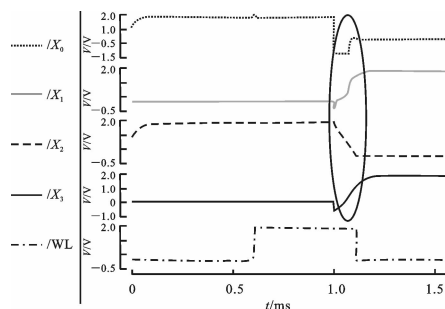


图 6 DICE 的 X_0 节点的仿真波形

TDICE 单元的存储值设为“1”,即各节点的存储值为“1010”. 在读数据期间,电流脉冲轰击 X_1 节点,使其发生翻转,本文采用的 TDICE 结构,将读数据电路与存储单元隔离,所以在 1 ns 时, X_1 节点上的错误值没有引起存储单元的翻转,仿真波形如图 7 所示. 同理,电流脉冲轰击 X_0 节点, X_0 节点上的错误值不会导致存储单元发生翻,仿真波形如图 8 所示.

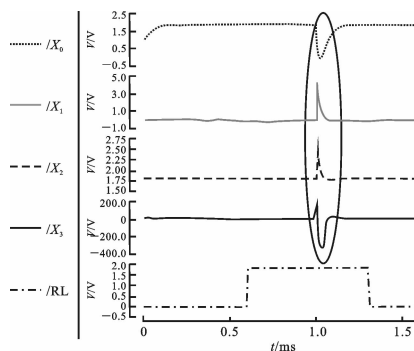


图 7 TDICE 的 X_1 节点的仿真波形

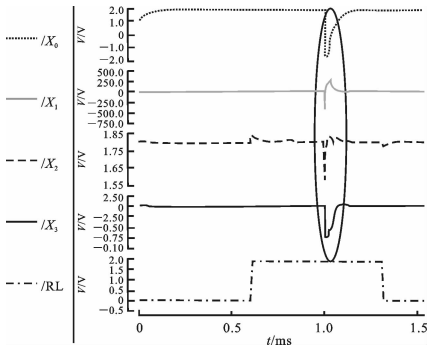


图 8 TDICE 的 X_0 节点的仿真波形

在读操作时,为了精确评估 TDICE 存储单元抗单粒子瞬态脉冲(SET)的能力,为此,对两种存储单元输入不同宽度的 SET 做了仿真统计,如表 1 所示.

表 1 存储单元抗 SET 脉冲宽度的仿真结果

宽度/ns	0.1	0.3	0.5	0.7	0.9	1.1	1.3
DICE	R	F	F	F	F	F	F
TDICE	R	R	R	R	R	R	F

注:R表示 remain , F表示 fli. p

由表 1 可知:在读操作时,DICE 单元在遇到宽度为 0.3 ns 的 SET 脉冲时就已翻转,而 TDICE 单元抗 SET 脉冲宽度可以提高到 1.3 ns 左右,极大提高了存储单元的稳定性.

3.2 多节点翻转的仿真

两个以上节点的翻转由于共享电荷扩散较广,存储状态的不太可能引起显著变化,为此本文只考虑两个节点的翻转情况.

DICE 单元的存储值设为“1”,即各节点的存储值为“1010”. 同时轰击 DICE 结构的 X_0 与 X_1 节点,使其发生翻转,则 X_3 节点的“0”通过 P_0 管将 X_0 拉回“1”,而 X_2 节点的“1”通过 N_1 管将 X_1 拉回“0”,翻转的存储状态恢复;如果 X_2 和 X_3 发生翻转,恢复机理类似. 同时轰击 DICE 结构的 X_0 与 X_2 节点,使其发生翻转,DICE 结构的存储值发生了翻转,使其输出结果变为“0”状态,即各节点的存储值变为“0101”,仿真波形如图 9 所示. 同时轰击 DICE 结构的 X_1 与 X_3 节点,DICE 单元发生翻转,输出结果错误,仿真波形如图 10 所示.

TDICE 单元的存储值设为“1”,即各节点的存储值为“1010”. 同时轰击 TDICE 结构的 X_0 与 X_2 节点,使其发生翻转,TDICE 结构使用晶体管阻止存储电路中反馈回路的一个节点连接到下一个节

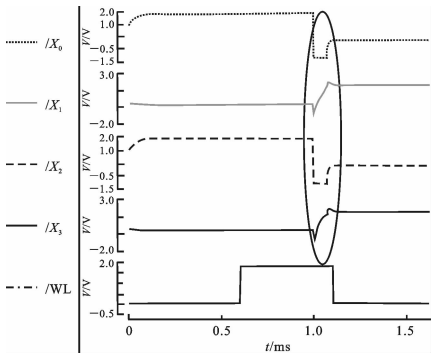


图 9 DICE 的 X_0, X_2 节点的仿真

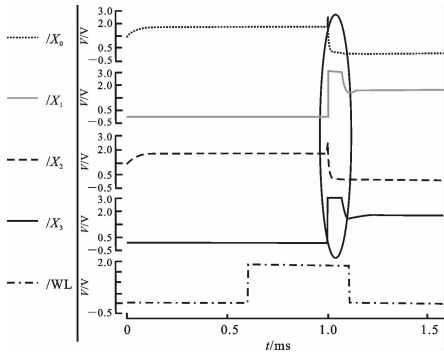


图 10 DICE 的 X_1, X_3 节点的仿真

点,存储单元中未被破坏的存储状态利用反馈回路将翻转的值恢复原值,仿真波形如图 11 所示. 同理,同时轰击 X_1 与 X_3 节点,由于 TDICE 单元的冗余锁存结构,利用未翻转的数据可以恢复已翻转了的数据,仿真波形如图 12 所示.

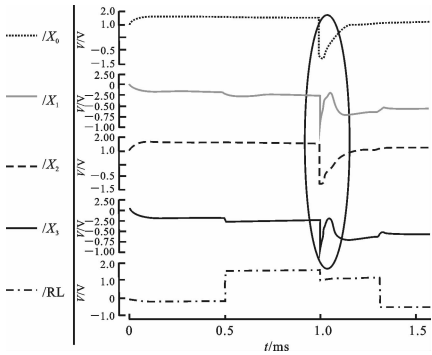


图 11 TDICE 的 X_0, X_2 节点的仿真

两个敏感节点同时被打翻时,DICE 单元与 TDICE 单元的抗多节点翻转的统计结果如表 2 所示. 在 DICE 存储单元中,当有两个敏感节点 X_0 与 X_2, X_1 与 X_3 同时被打翻,DICE 的存储值发生翻转. 而在 TDICE 存储单元中,两个敏感节点 X_0 与 X_2, X_1 与 X_3 同时被打翻,输出结果不变,其抗多节

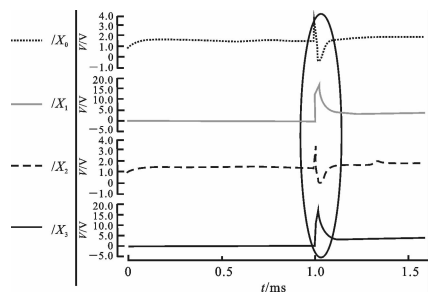


图 12 TDICE 的 X_1, X_3 节点的仿真

点翻转的能力较强.

表 2 两个敏感点同时被打翻时单元的抗 SEU 情况

两个敏感节点 同时被打翻	输出结果	
	DICE 单元	TDICE 单元
$X_0(1->0), X_1(0->1)$	R	R
$X_2(1->0), X_3(0->1)$	R	R
$X_0(1->0), X_2(1->0)$	F	R
$X_1(0->1), X_3(0->1)$	F	R

注:R 表示 remain;F 表示 flip.

4 结束语

通过 Spectre 仿真波形对比,TDICE 存储单元在读写操作下具有较好的抗单粒子翻转的能力,它采用了读写分离的机制,对存储单元在读写情况下进行了加固设计;同时根据电阻加固原理,在 DICE 存储单元的存储节点间增加 NMOS 晶体管,隔离反馈回路中节点之间的互连,使得 TDICE 存储单元抗多节点翻转的单粒子效应能力得到显著提高,有效地保证了存储单元数据的稳定性.

参考文献:

[1] Yao X. Design and experimental validation of radiation hardened by design SRAM cells [J]. IEEE Tran. Nucl. Sci., 2010, 57(1): 158-265.

[2] Dodd P E, Massengill L W. Basic mechanisms and modeling of single-event upset in digital microelectronics [J]. IEEE Trans. Nucl. Sci., 2013, 50(3): 583-602.

[3] Amusan O A, Massengill L M, Baze M P, et al. Directional sensitivity of single event upsets in 90 nm CMOS due to charge sharing [J]. IEEE Trans. Nucl. Sci., 2007, 54(6): 2584-2589.

[4] 胡明浩,李磊,饶全林. 基于 RHBD 技术 CMOS 锁存器加固电路的研究[J]. 微电子学与计算机, 2010, 27(7): 206-209.

[5] 周恒,李磊. 一种加固 SRAM 单元 DDICE 及外围电路设计[J]. 微电子学与计算机, 2015, 32(5): 68-72.

[6] 李玉红,赵元富,岳素格,等. 0.18μm 工艺下单粒子加固锁存器的设计与仿真[J]. 微电子学与计算机, 2007, 24(12): 66-69.

[7] 李海霞,李卫民,谭建平,等. 一种低功耗抗辐照加固 256KB SRAM 的设计[J]. 微电子学与计算机, 2007, 24(7): 142-145.

[8] Marco D' Alession, Marco Ottavi, Fabrizio Lombardi. Design of a nanometric CMOS memory cell for hardened to a single event with a multi-node upset [J]. IEEE Tran. On Device and Materials Reliability, 2014, 14(1): 127-135.

[9] Sheshadri V B, Bhuva B L, Reed R A, et al. Effects of multi-node charge collection in flip-flop designs at advanced technology nodes [C] // Proc. Int. Rel. Phys. Symp, IRPS 2010. Anaheim CA, 2010, 27(5): 1026-1030.

[10] 刘琳,赵元富,岳素格. SEU 加固存储单元多节点翻转的准三维数值模拟[J]. 微电子学与计算机, 2010, 27(5): 99-102.

作者简介:

孙敬女, (1990-), 硕士研究生. 研究方向为抗辐照加固 SRAM 的研究与设计. E-mail: 540730106@qq. com.

陈振娇男, (1987-), 硕士研究生, 工程师. 研究方向为抗辐照加固 SRAM 的研究与设计.

陶建中男, (1962-), 硕士研究生, 硕士研究生导师. 研究方向为大规模集成电路设计.